

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L27: Entry 3 of 8

File: JPAB

Jun 4, 1991

PUB-NO: JP403131105A

DOCUMENT-IDENTIFIER: JP 03131105 A

TITLE: PHASE LOCKED LOOP CIRCUIT CAPABLE OF FREQUENCY MODULATION BY MODULATION SIGNAL INCLUDING DC COMPONENT

PUBN-DATE: June 4, 1991

INVENTOR-INFORMATION:

NAME

COUNTRY

MURAYAMA, NORIAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANDEN CORP

APPL-NO: JP01268591

APPL-DATE: October 16, 1989

US-CL-CURRENT: 332/127

INT-CL (IPC): H03C 3/00; H03L 7/08; H04L 27/12

ABSTRACT:

PURPOSE: To attain the frequency modulation by a modulation signal including a DC component by providing a switch circuit to an integration device at the input side of a phase locked loop circuit and activating the switch circuit at a period in response to a voltage so as in discharge the electric charge in the integration device.

CONSTITUTION: An integration device 5 is provided into a path from an input terminal P1 for a modulation signal to a loop filter 3 in a phase locked loop circuit for a feedback system, in which a comparison frequency fR from a reference oscillator 1 is introduced to a closed loop having a phase comparator 2, the loop filter 3 and a voltage controlled oscillator 4 and an oscillating frequency fVCO of the voltage controlled oscillator 4 is controlled depending on the comparison between a frequency fV fed back from the voltage controlled oscillator 4 and the comparison frequency fR at a phase comparator 2. The integration device 5 discharges the stored charge by a switch circuit SW1. The switch circuit SW1 is operated by using a pulse signal from a discharge pulse generator 6 as a trigger. A pulse signal is generated from the discharge pulse generator 8 when an output of the phase comparator 2 exceeds a prescribed threshold level.

COPYRIGHT: (C)1991, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑫ 公開特許公報(A) 平3-131105

⑤ Int.Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月4日

H 03 C 3/00

B 6959-5J

H 03 L 7/08

Z 9077-5K

H 04 L 27/12

8731-5J

H 03 L 7/08

Z

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 直流成分を含む変調信号による周波数変調可能な位相同期ループ回路

⑮ 特 願 平1-268591

⑯ 出 願 平1(1989)10月16日

⑰ 発 明 者 村 山 典 明 群馬県前橋市五代町739番地

⑱ 出 願 人 サンデン株式会社 群馬県伊勢崎市寿町20番地

⑲ 復代理人 弁理士 新井 清子

明 細 書

1. 発明の名称

直流成分を含む変調信号による周波数変調可能な位相同期ループ回路

2. 特許請求の範囲

1. 基準発振器からの比較周波数を位相比較器、ループフィルタ、および電圧制御発振器を有する閉ループに導入し、該電圧制御発振器からフィードバックした周波数と、前記比較周波数とを該位相比較器で比較した値により該電圧制御発振器の発振周波数を制御する位相同期ループ回路であって、変調信号の入力から該ループフィルタに到る間に積分器を有し、該積分器はスイッチ回路により蓄積電荷を放電可能であることを特徴とする直流成分を含む変調信号による周波数変調可能な位相同期ループ回路。

2. 前記スイッチ回路が放電パルス発生器からのパルス信号をトリガとして作動し、該放電パルス発生器は前記位相比較器の出力が一定閾値を越えたときに該パルス信号が発生する回路であること

を特徴とする請求項第1項に記載の直流成分を含む変調信号による周波数変調可能な位相同期ループ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ディジタルデータ伝送の無線通信で用いられる位相同期ループ(PLL)回路に関するものである。

〔従来の技術〕

位相同期ループ回路は搬送波の再生やディジタル変調波の再生などに用いられる。その基本回路構成は、位相比較器、ループフィルタ(LPF)、および電圧制御発振器(VCO)からなる閉ループのフィードバック制御系である。このような位相同期ループ回路を用いてディジタルデータ伝送の周波数変調(FM変調)を行なうには、変調信号とループフィルタとの間に積分器を入れる必要がある。

〔発明が解決しようとする課題〕

変調信号が脈流であったり、交流であっても極

端に偏奇した交流のうように直流成分を多く含む場合、一定時間後には積分器の出力電圧が飽和してしまう。その後は、積分器として動作しなくなるので、周波数変調を行なうことができない。そのため、位相同期ループ回路では、直流成分を多く含む信号を周波数変調することが不可能であるとされていた。

本発明は、このような課題を解決するためになされたもので、直流成分を多く含む信号であっても周波数変調することが可能な位相同期ループ回路を提供するものである。

【課題を解決するための手段】

上記課題を解決するための本発明を適用する位相同期ループ回路を、実施例に対応する第1図により説明する。

同図の回路は、基準発振器1からの比較周波数 f_a を位相比較器2、ループフィルタ3、および電圧制御発振器4を有する閉ループに導入し、電圧制御発振器4からフィードバックした周波数 f_v と、比較周波数 f_a とを位相比較器2で比較した値

らずれることになり、直流による周波数変調が可能となる。

上記のように、電圧制御発振器4の発振周波数 f_{vco} が、比較周波数 f_a により決まる中心周波数からずれている場合、位相比較器2の出力は一定周期毎に特定の波形となる。放電パルス発生器6は、この特定波形を捉えて放電パルスを発生させ、それをトリガとしてスイッチ回路SW1を一定周期毎に動作させることができる。

【実施例】

以下、本発明の実施例を詳細に説明する。

第1図は本発明を適用する位相同期ループ回路の実施例のブロック図である。

同図に示す1は一定な周波数 $N \cdot f_r$ を発振する基準発振器、2は位相比較器でその回路例は第2図に示してある。3は抵抗 R_s 、コンデンサ C_s および比較増幅器1.0からなるループフィルタ(LPF)である。 R_s および R_s は比較増幅器1.0の入力抵抗である。4は電圧制御発振器(VCO)、5はコンデンサ C_c 、抵抗 R_c および比較増幅器1.1からなる

により電圧制御発振器4の発振周波数 f_{vco} を制御するフィードバック系の位相同期ループ回路である。変調信号の入力 P_i からループフィルタ3に到る間に積分器5を有し、積分器5はスイッチ回路SW1により蓄積電荷を放電可能である。

スイッチ回路SW1は放電パルス発生器6(第3図参照)からのパルス信号をトリガとして動作する。そして放電パルス発生器6は位相比較器2の出力が一定閾値を越えたときに該パルス信号が発生する。

【作用】

上記の位相同期ループ回路の入力側の積分器5に設けたスイッチ回路SW1を電圧に応じた周期で動作させ、積分器5の電荷を放電させる。これにより、積分器内の電荷が飽和することを回避することができる。また積分器5の出力電圧と位相比較器2の出力電圧をお互いに打消し合う波形とすることができるので、電圧制御発振器4の制御電圧を一定値に維持できる。その結果、電圧制御発振器4の発振周波数 f_{vco} が定常的に中心周波数か

積分器である。SW1はスイッチングトランジスタ、6は放電パルス発生器でその回路例は第3図に示してある。同じく第1図の7は $1/N$ 分周器、8は $1/N$ 分周器、9は発振子である。

位相比較器2は、第2図に示すように一対のフリップフロップ13aと13b、アンドゲート14、一対スイッチSW2aとSW2b、同一抵抗値の一対の抵抗 R_{pa} と R_{pb} から構成されている。

第3図には放電パルス発生器6の回路の実施例が示してある。回路はコンパレータ21・22、アンドゲート23・24、オアゲート25およびタイミング回路26から構成されている。

第4図には第1図から第3図の回路の各部における出力波形を示してある。この出力波形を参照しつつ回路の動作を説明する。

第1図の回路では、基準発振器1で発振した周波数 $N \cdot f_r$ (第4図(g))が $1/N$ 分周器7で分周され比較周波数 f_r (第4図(f)参照)になり、位相比較器2の入力端子Rに定常的に入力している。一方、変調入力端子 P_i の信号は積分器5により積

分される。この積分出力と位相比較器2の出力との加算電圧がループフィルタ3を通して電圧制御発振器4に入力する。電圧制御発振器4は、この入力電圧に応じた周波数 f_{vco} を発振する。

変調入力端子 P_1 の入力 $V_1=0$ のとき、電圧制御発振器4の発振周波数 f_{vco} は、

$$f_{vco}=N \cdot f_r$$

となっている。変調入力端子 P_1 に直流定電圧 V_m を加えると($V_1=V_m$, 第4図(a))、電圧制御発振器4の発振周波数 f_{vco} は変化する。その変化量を $N \cdot \Delta f$ とすると、

$$f_{vco}=N \cdot f_r + N \cdot \Delta f$$

になる。この発振周波数 f_{vco} は分周器8で $1/N$ に分周され周波数 f_v となり位相比較器2の入力端子Vに入力し、入力端子Rから入力している比較周波数 f_r と位相比較器2により位相の比較がされる。発振周波数 f_{vco} は $N \cdot f_r \rightarrow N \cdot f_r + N \cdot \Delta f$ と変化するから、位相比較器2の出力 V_2 は、(d)に示す電圧波形となる。その平均値が破線で示してある。

位相比較器2は、第2図に示したように対称形

ス発生器6は、コンパレータ21、タイミングパルス V_w 、およびアンドゲート23により波形Sを検出する。したがって比較周波数 f_n の立上がりの直前のタイミングで(c)に示す出力 V_n のパルスを発生させる。このパルスをトリガとしてスイッチSW1が動作する。

そのスイッチ動作で積分器1が放電し、出力 V_1 は第4図(b)に示すように、

$$V_1 = -\frac{1}{R_1 C_1} \int_0^t V_m dt + 2.5$$

(t はスイッチSW1をオンからオフにした直後、すなわち出力 V_n のパルス立下がりからの時間)となる。

ここで出力 V_2 と V_1 について比較してみる。抵抗 R_2 および抵抗 R_4 が $R_2=R_4=R_1$ に選んでであると、出力 V_2 と V_1 の平均値(第4図(d)の破線)が2.5Vの軸を対称軸として対称となるように、すなわち(b)の電圧 V_1 が2.5Vから0Vまで変化する時間と t_p とが等しくなるように、周波数 $N \cdot f_r + N \cdot \Delta f$ を電圧制御発振器4が発振する。その結果、出力 V_2 と V_1

であるため、端子RとVの位相差が 2π 毎に同じ出力が発生する。したがって t_p を求めると、位相比較器2の端子Rに加わる比較周波数 f_r と端子Vに加わる周波数 f_v の周波数差が Δf のときの1秒間の繰返し回数 k (=整数)は、

$$k = \frac{[1 \text{ 秒間に生じる位相差}]}{2\pi} = \frac{2\pi \times \Delta f}{2\pi} = \Delta f$$

であるから、

$$t_p = \frac{1}{k} = \frac{1}{\Delta f}$$

となる。

前記したように位相比較器2は、入力端子RとVとの間の位相差が 2π 毎に同じ出力が発生し、位相差が 2π よりわずか小さいときに出力 V_2 中の波形Sが発生して放電パルス発生器6の端子Pに入力する。一方、放電パルス発生器6のタイミング回路26は、比較周波数 f_r 毎に周波数 $N \cdot f_r$ をカウントし、一定のカウント毎に第4図(h)に示すタイミングパルス V_w でタイミングがとられている。そのため、波形Sが入力している放電パル

スが打消しあい、ループフィルタ3のコンデンサ C_2 に流入する電流が零になる。すなわちループフィルタ3の出力 V_n ($=V_c + \Delta V$, 第4図(c)参照)は一定になる。したがって電圧制御発振器4の発振周波数 f_{vco} ($=N \cdot f_n + \Delta f$)も一定となる。

上記したように、変調入力端子 P_1 に、直流定電圧 V_m を加えると、ループフィルタ3の出力 V_n が ΔV だけ変化して一定になるため、発振周波数 f_{vco} は Δf だけ変化して一定となり、これが定常状態として続く。このことは直流による周波数変調が実現できることを示している。

なお上記した実施例では変調入力端子 P_1 の入力 $V_1=V_m > 0$ (第4図(a)参照)を例示したが、第5図(a)に示すように $V_1=V_m < 0$ の場合についても同様に説明できる。この場合、位相比較器2の出力 V_2 の波形は第5図(d)に示した波形となる。出力 V_2 中の波形S'は、放電パルス発生器6のコンパレータ22とタイミングパルス V_w およびアンドゲート24により検出される。

また位相比較器は、第2図の構成以外でも良

く、位相比較器の構成に合わせて放電パルス発生器を構成し、本発明を実施することができる。

【発明の効果】

以上説明したように、本発明の位相同期ループ回路は、入力側の積分器の電荷を放電させることができるので、直流による周波数変調が可能となる。しかも周波数が高安定である。したがって、例えば直流成分を含むデジタルデータを伝送する無線通信装置、測定器等に応用することができる。

4. 図面の簡単な説明

第1図は本発明を適用する位相同期ループ回路の実施例のブロック図、第2図は位相比較器の回路の実施例を示す図、第3図は放電パルス発生器の回路の実施例を示す図、第4図は上記実施例の回路の各部における出力波形図、第5図は入力電圧の極性が第4図とは異なる場合の出力波形図である。

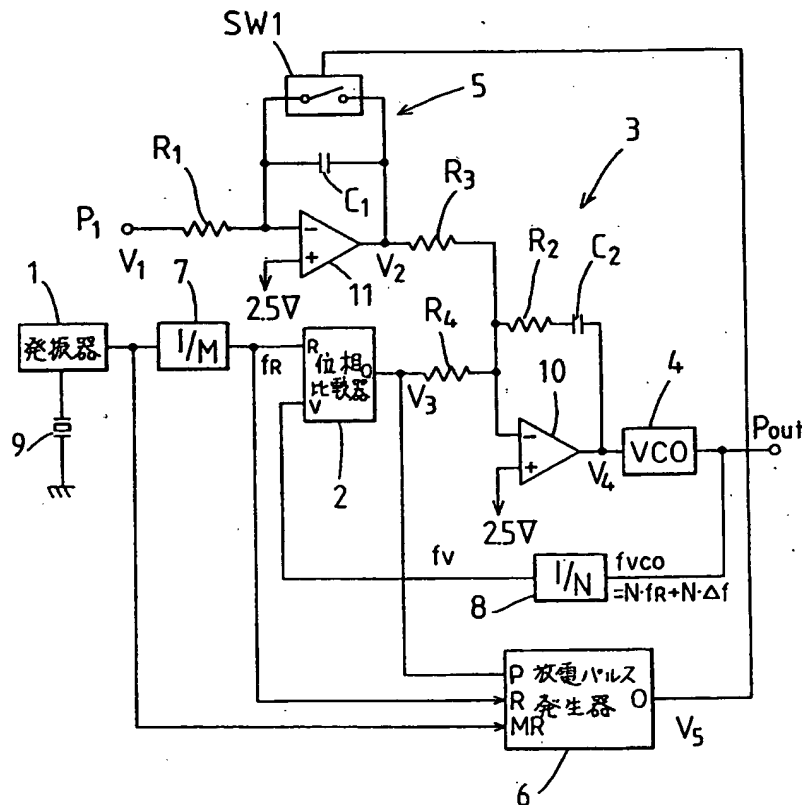
- 1…基準発振器 2…位相比較器
3…ループフィルタ 4…電圧制御発振器

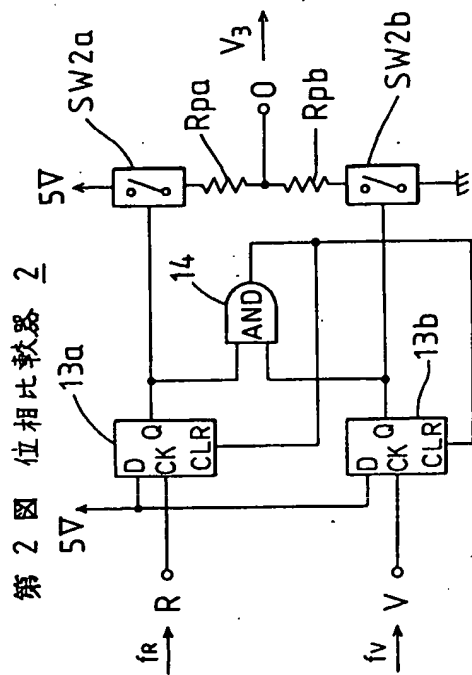
- 5…積分器 6…放電パルス発生器
7、8…分周器 9…発振子
10、11…比較増幅器
SW1、SW1a、SW1b…スイッチ
13a、13b…フリップフロップ
14、23、24…アンドゲート
21・22…コンパレータ
25…オアゲート 26…タイミング回路

特許出願人 サンデン株式会社
復代理人 弁理士 新井 清子

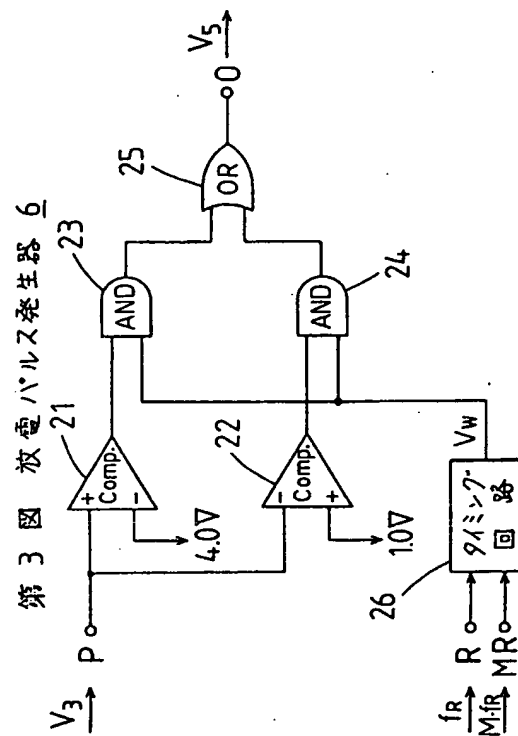
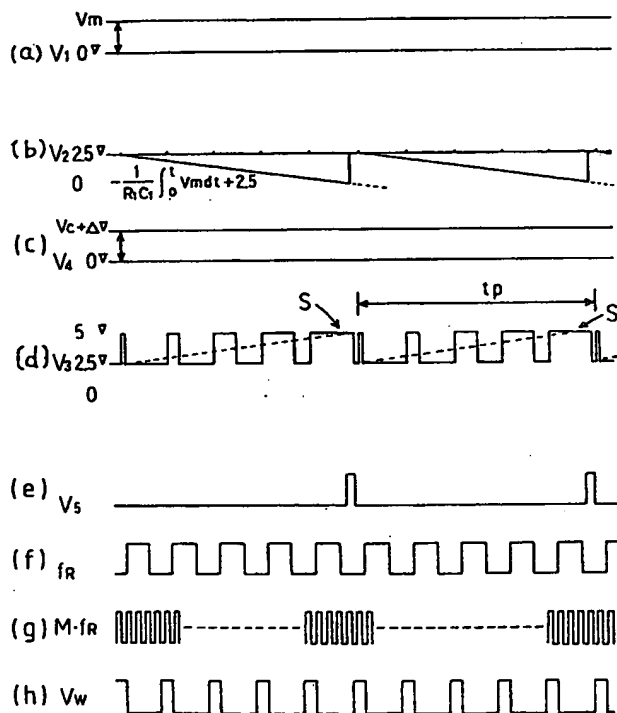


第1図





第4図



第5図

